

# Digitales Winkel- und Lagemeßverfahren Systementwurf und Realisierung mit VHDL und Schaltungssynthese

Prof. Dr.-Ing. Werner Zimmermann  
 Prof. Dr.-Ing. Gerald Kampe  
 Fachbereich Informationstechnik, FH Esslingen - Hochschule für Technik, Esslingen

## 1. Einleitung

Zur Lagemessung bei linearen oder rotatorischen Bewegungen, wie sie häufig in der Antriebstechnik, in Werkzeugmaschinen, aber auch bei einfacheren Anwendungen wie Computer-mäusen benötigt wird, werden heute bevorzugt Inkrementalgeber eingesetzt [1]. Dabei kommen sowohl optische Geber mit 'Strichscheiben' und Lichtschranken als auch induktive Geber mit Zahnrädern zum Einsatz. Um mit diesen Gebern neben der Position auch die Bewegungsrichtung erfassen zu können, liefern die Geber in der Regel zwei um eine viertel Periode gegeneinander versetzte Signale (Bild 1). Die von den Sensoren gelieferten Signale sind näherungsweise sinusförmig, werden aber wegen der einfacheren Signalverarbeitung häufig in Rechtecksignale umgeformt. Die gewünschte Lagemessung kann durch einfache Vor-Rückwärtszähler erfolgen, die Auflösung beträgt jedoch nur ein viertel Inkrement. Da die Inkrementzahl der Geber aus mechanischen Gründen begrenzt ist, kann eine erheblich höhere Auflösung des Meßwerts nur erreicht werden, wenn die analogen sinusförmigen Signale direkt ausgewertet werden, anstatt lediglich deren Nulldurchgänge zu verwenden, wie dies bei der Umformung dieser Signale in Rechtecksignale ge-

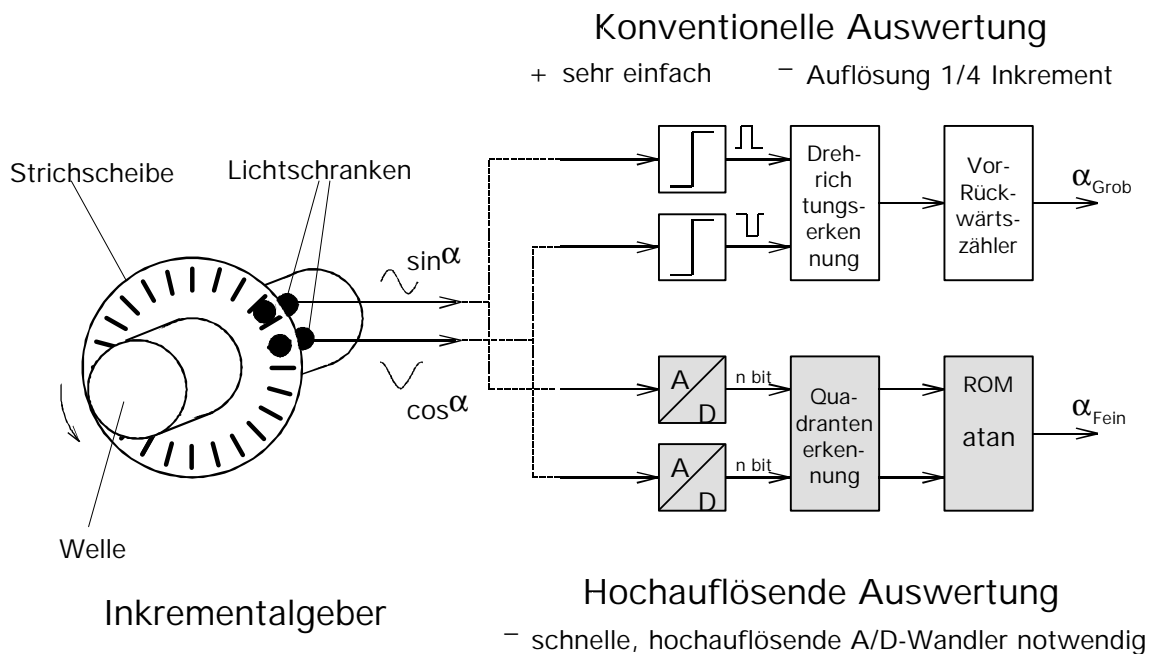
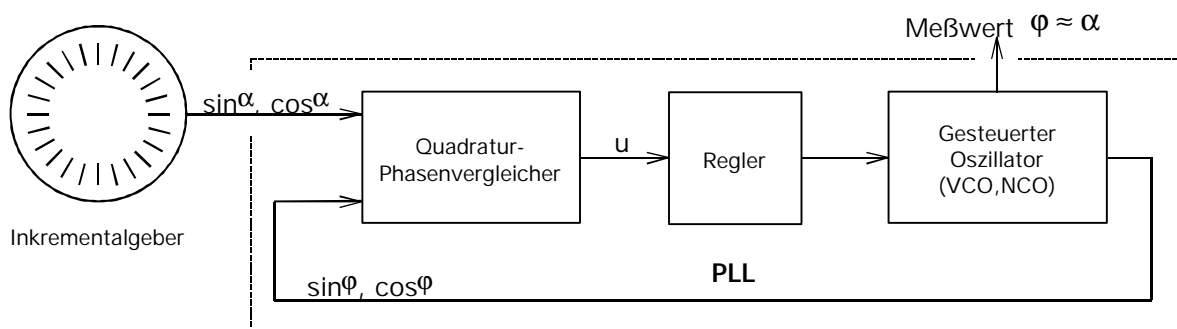


Bild 1: Lagemessung mit Inkrementalgebern

schiebt. Die Bereitstellung eines digitalen Lagemeßwerts wird dabei allerdings erheblich aufwendiger. Ein bei optischen Inkrementalgebern eingesetztes Verfahren [2] verwendet zusätzlich zu den konventionellen Zählern schnelle, hochauflösende A/D-Wandler und berechnet über eine atan-Tabelle den feininterpolierten Lagewert.

Bei Resolvemern dagegen, die ebenfalls ein näherungsweise sinusförmiges Signalpaar liefern, wird vorzugsweise ein Meßverfahren nach dem PLL-Prinzip eingesetzt. Dabei wird über einen Regelkreis das von einem gesteuerten Oszillator erzeugte Quadratursignal  $\sin\varphi, \cos\varphi$  dem Winkelgebersignal  $\sin\alpha, \cos\alpha$  phasengetreu nachgeführt (Bild 2). Die 'Regeldifferenz'  $u = \sin\alpha \cdot \cos\varphi - \sin\varphi \cdot \cos\alpha = \sin(\alpha-\varphi)$  wird in einem Quadraturphasenvergleich gebildet. Bei geeigneter Auslegung erzwingt der Regler, daß die Regeldifferenz  $u=0$  und damit  $\varphi \approx \alpha$  wird, auch wenn sich die Welle dreht und sich  $\alpha = \alpha(t)$  daher zeitlich ändert. Der Phasenwinkel  $\varphi$  des erzeugten Quadratursignals stellt damit den gewünschten Meßwert für den Lagewinkel  $\alpha$  dar.

Als ASIC erfordert dieses Prinzip allerdings bisher einen hohen Aufwand, da es in gemischt analog-digitaler Technologie realisiert werden muß. Außerdem hat der PLL-Regelkreis eine beschränkte Dynamik, so daß mit kommerziellen Lösungen nur die niedrigen Eingangsfrequenzbereiche von Resolvemern, nicht jedoch die bei optischen Gebern üblichen Frequenzen abgedeckt werden können [3]. Ziel der Arbeiten an der FHTE war es, dieses Meßprinzip so zu modifizieren, daß eine Realisierung als reines Digital-ASIC möglich ist und die hohen Signalfrequenzen optischer Geber verarbeitet werden können (Bild 2). Hier soll zunächst der Lösungsansatz [4] beschrieben werden. Der Hauptteil diese Arbeit befaßt sich dann mit der Darstellung des schrittweisen Top-Down-Entwurfs, bei dem Schaltungsbeschreibung mit VHDL, Schaltungssynthesetools sowie Analysewerkzeuge aus der Regelungstechnik und Signalverarbeitung miteinander kombiniert wurden.



Im eingeschwungenen Zustand gilt:

$$u = \sin\alpha \cdot \cos\varphi - \sin\varphi \cdot \cos\alpha = \sin(\alpha-\varphi) \approx 0 \quad \rightarrow \quad \varphi \approx \alpha$$

Beispielhafte Anforderungen an das Meßsystem:

Frequenz der Eingangssignale

$$f_i = 0 \dots 170 \text{ kHz} = 1024 \text{ Inkremente} \cdot 10000 \text{ U/min}$$

Auflösung

$$64 \text{ Schritte je Inkrement bei } f_i = 170 \text{ kHz}$$

$$1024 \text{ Schritte je Inkrement bei } f_i = 0$$

Taktfrequenz

$$10 \text{ MHz}$$

Zieltechnologie

$$\text{IMS Gate Array } 1,2\mu$$

Bild 2: Grundprinzip des PLL-Verfahrens und Anforderungen

## 2. Digitaler Phasenregelkreis

Im Phasenvergleichler aus Bild 2 müssen die Produkte  $\sin\alpha \cdot \cos\varphi$  und  $\sin\varphi \cdot \cos\alpha$  der beiden Quadratursignale  $\sin\alpha$ ,  $\cos\alpha$  und  $\sin\varphi$ ,  $\cos\varphi$  sowie deren Summe (bzw. Differenz) gebildet werden. Der digitale Schaltungsaufwand für die beiden Multiplikationen wird deutlich reduziert, wenn lediglich die Signale  $\sin\varphi$ ,  $\cos\varphi$  als  $n$  bit breite digitale Parallelworte vorliegen und die Sensorsignale  $\sin\alpha$ ,  $\cos\alpha$  als 1 bit breite serielle Datenströme (Bitstrom) verarbeitet werden (Bild 3). Dies vereinfacht auch die Analog-Digitalumsetzung der ursprünglich analogen Sensorsignale. Statt schneller paralleler A/D-Umsetzer sind lediglich 1-bit-Umsetzer erforderlich, wie sie in Form von Sigma-Delta-Umsetzern auch in digitalen Schaltungstechnologien verhältnismässig einfach hergestellt werden können.

Der steuerbare Oszillator wird durch einen Vor-Rückwärtszähler mit fester Taktfrequenz realisiert, der ein Sinus-Cosinus-ROM ansteuert. Die Zählrichtung wird durch einen Zweipunktregler (Komparator) 'moduliert' und dadurch die (mittlere) Zählfrequenz eingestellt. Die Regeldifferenz  $\sin(\alpha-\varphi)$  muß aufgrund der '1-bit-Multiplikation', die durch einfache XOR-Glieder realisiert wird, vor dem Zweipunktregler noch tiefpaßgefiltert werden. Die Taktfrequenz  $1/T$  des Zählers, die auch der Taktfrequenz der Sigma-Delta-Umsetzer entspricht, muß dabei stets größer sein als das Produkt aus Eingangsfrequenz  $f_1$  und gewünschter Auflösung  $N$ . Aus diesem Grund wird die Zählerschrittweite und damit die Auflösung von  $N=1024$  bei kleinen Eingangsfrequenzen stufenweise bis auf  $N=64$  bei großen Eingangsfrequenzen reduziert.

Der Zählerstand  $\varphi$  des Vor-Rückwärtszählers stellt gleichzeitig den gewünschten digitalen Meßwert für die Winkelposition  $\alpha$  dar.

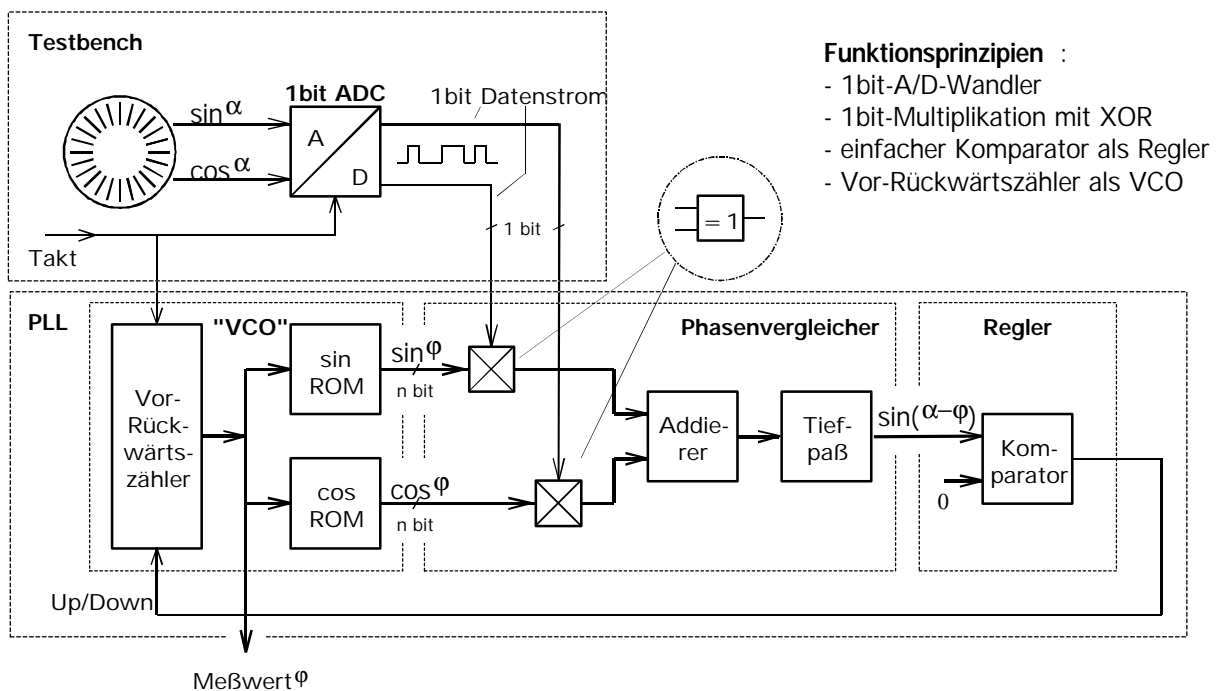


Bild 3: Blockschaltbild des neuen Meßverfahrens (Stufe 1)

### 3. Werkzeugkette

Bild 4 zeigt die während des Entwurfsprozesses eingesetzte Werkzeugkette.

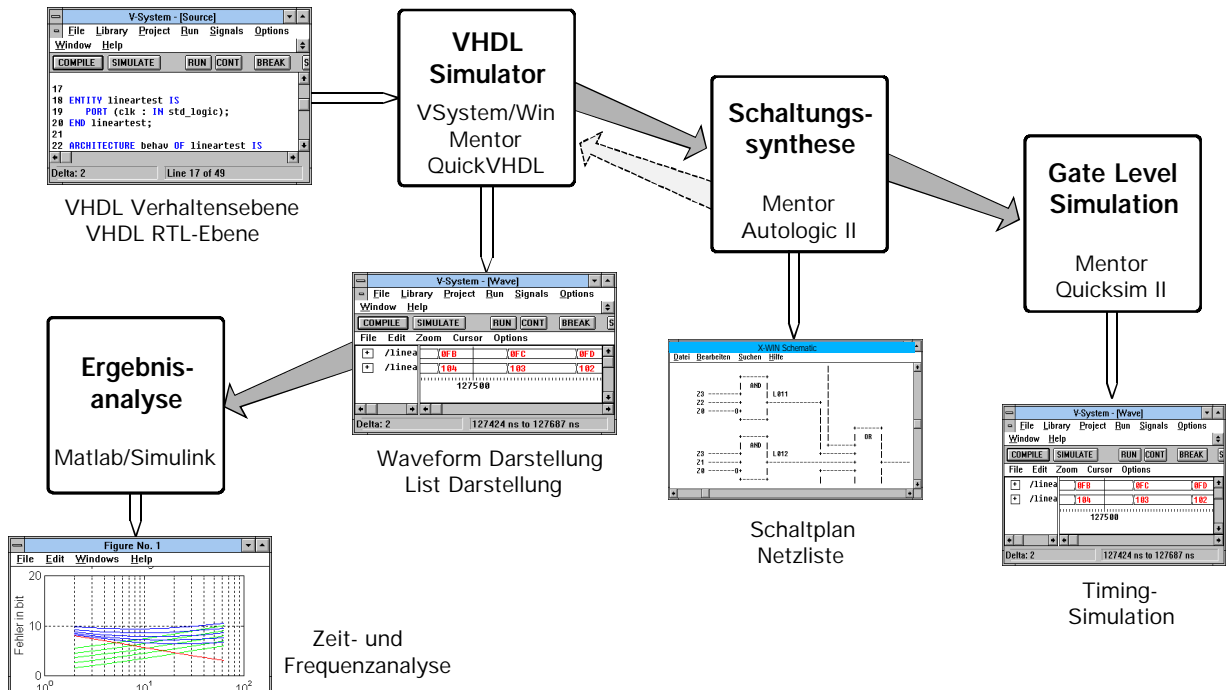


Bild 4: Werkzeugkette

Während VHDL-Beschreibung, Simulation und Synthese in der durchgängigen ASIC-Entwicklungsumgebung von MENTOR GRAPHICS auf Hewlett-Packard-Workstations durchgeführt werden konnten, die an der FHTE im Rahmen der von der Multi-Projekt-Chip(MPC)-Gruppe Baden-Württemberg geförderten ASIC-Designaktivitäten zur Verfügung steht, wurde für die Auswertung der Simulationsergebnisse auf das aus der Regelungstechnik und Signalverarbeitung kommende Paket MATLAB/Simulink zurückgegriffen.

Die Offline-Kopplung zwischen dem VHDL-Simulator und dem Analysepaket erfolgt über die LIST-Darstellung für Simulationsergebnisse, die in Dateiform direkt von Matlab eingelesen werden kann. Der umgekehrte Weg ist ebenfalls möglich, da Matlab mit Hilfe eines einfachen, selbstgeschriebenen Skripts Stimulidaten (Force-Files) erzeugen kann, die vom VHDL-Simulator gelesen werden. Während der Inkrementalgeber, die 1-bit-A/D-Wandler und eine einfache Zeitdarstellung und Zeitauswertung des Meßfehlers direkt als Testumgebung (Testbench) in VHDL programmiert wurden, wurden umfangreichere Auswertungen, z.B. der Frequenzgang des Regelkreises oder Spektralanalysen des Meßfehlers in der für diese Zwecke wesentlich komfortableren MATLAB-Umgebung ausgeführt.

#### 4. Top-Down-Entwurf

Um die grundsätzliche Funktionsweise und Machbarkeit der Schaltung, insbesondere den von der 1-bit-Quantisierung verursachten Meßfehler zu untersuchen, wurde die Schaltung zunächst auf Verhaltensebene beschrieben und simuliert. Ohne Rücksicht auf die spätere Realisierung wurden die meisten Signale mit REAL-Größen dargestellt, so daß auch analoge Schaltungsteile wie die Ausgangssignale des Inkrementalgebers beschrieben werden konnten (Bild 5).

Die Simulationsergebnisse, insbesondere der Meßfehler  $\alpha\text{-}\varphi$ , wurden mit MATLAB analysiert (Bild 6). Dabei ergeben sich zwei Fehlerursachen. Durch die 1-bit-A/D-Wandlung der Gebersignale ergibt sich ein erhebliches Quantisierungsrauschen, das durch das Tiefpaßfilter im PLL-Regelkreis umso besser unterdrückt wird, je größer dessen Zeitkonstante  $\tau$  gewählt wird. Andererseits wirkt das Tiefpaßglied innerhalb des PLL-Regelkreises für den Komparator als Zweipunktregler wie eine auf  $T + \tau$  vergrößerte Abtastzeit, die die Meßgenauigkeit umso weniger beeinträchtigt, je kleiner  $\tau$  gewählt wird. Zusätzlich ist dieser Fehleranteil von der Auflösung  $N$  abhängig, für die in Abhängigkeit von der Eingangsfrequenz die Bedingung  $f_1 \cdot N < 1/T$  eingehalten werden muß.

Das Frequenzspektrum des Meßfehlers enthält neben einem von der Eingangsfrequenz herrührenden Rest vor allem das hochfrequente Quantisierungsrauschen. Aus der Analyse der Fehlerursachen folgt, daß die Filterzeitkonstante des Tiefpasses in der PLL so klein wie möglich gewählt werden und das Quantisierungsrauschen durch ein zusätzliches Filter außerhalb der PLL unterdrückt werden muß.

#### VHDL-Beschreibung auf Verhaltensebene

Beispiel: Inkrementalgeber bei konstanter Drehzahl

```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL, ieee.math_real.ALL;

ENTITY singen IS
  PORT (period      : IN time;      --Inkrementdauer
        clk         : IN std_logic; --Taktsignal
        sinus,cosinus : OUT real);  --analoges Signal
END singen;

ARCHITECTURE behav OF singen IS
  --Nachbildung des
  --Inkrementgebers
  BEGIN
    PROCESS (clk)
      VARIABLE alpha: REAL := 0.0;
      VARIABLE t    : TIME;
    BEGIN
      IF clk'LAST_VALUE = '0' AND clk = '1' THEN
        t := NOW;
        alpha := 2.0 * math_pi * t/period;
      END IF;
      sinus <= sin(alpha);
      cosinus <= cos(alpha);
    END PROCESS sinusgenerator;
  END behav;
```

. . .

#### Simulation des Verhaltensmodells

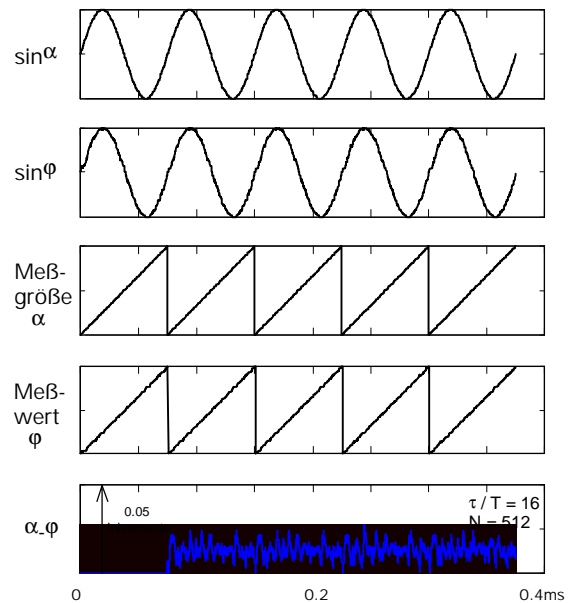
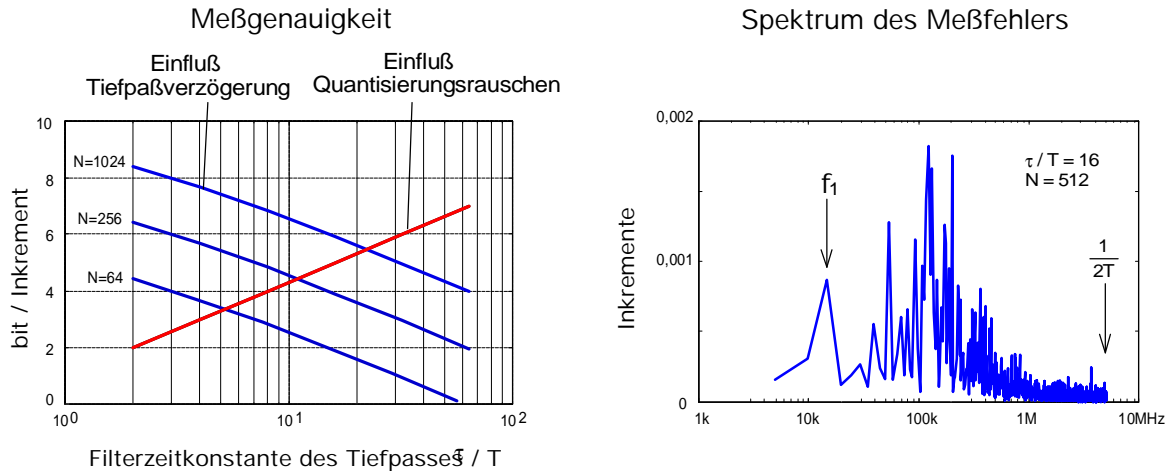


Bild 5: Erste Schritte des Top-Down-Entwurfs mit dem VHDL-Simulator

## Analyse des Meßfehlers im Zeit- und Frequenzbereich



### Schlußfolgerungen:

- Tiefpaßverzögerung im Regelkreis muß klein sein
- Unterdrücken des Quantisierungsrauschens durch Filter außerhalb der PLL

Bild 6: Analyse des Meßfehlers mit MATLAB

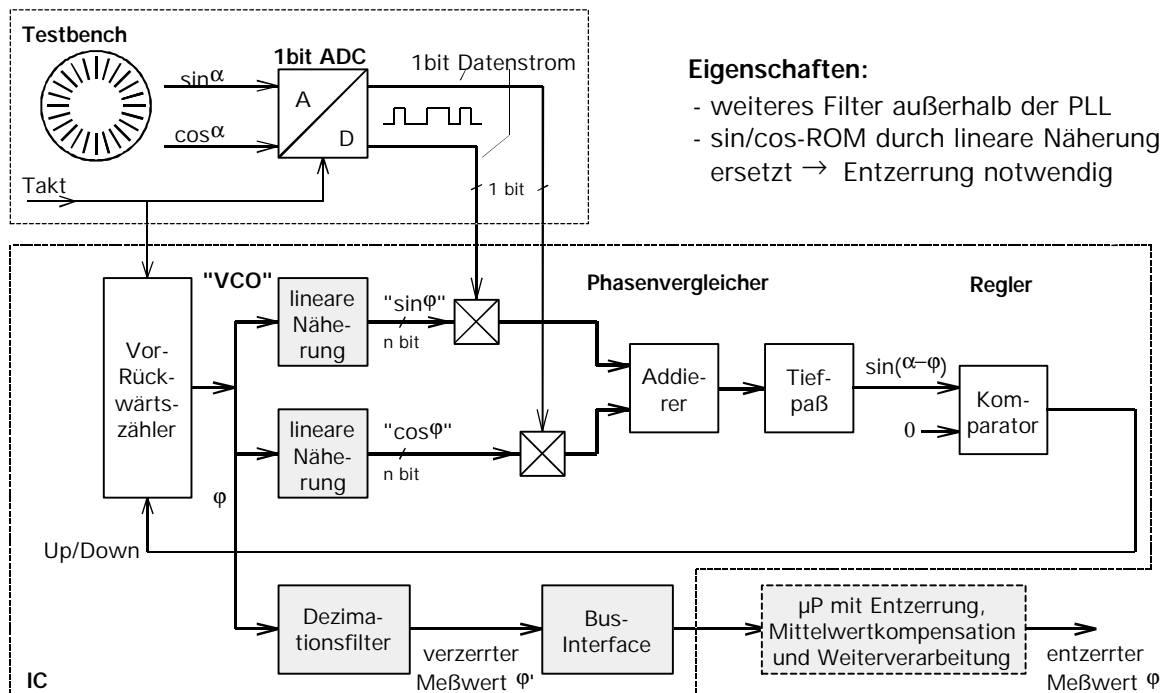


Bild 7: Blockschaubild des verbesserten Meßverfahrens (Stufe 2)

## 5. Verbesserung des Schaltungskonzepts

Die derart verbesserte Schaltung ist in Bild 7 dargestellt. Im Hinblick auf die Realisierung in einer Gate-Array-Technologie, in der ROMs nur schwer umgesetzt werden können, werden zusätzlich das sin-ROM und das cos-ROM durch lineare Näherungen (Dreiecksfunktionen) ersetzt. Die bei dieser Realisierung entstehende "Verzerrung" des Meßwertes kann durch eine "Entzerrerkennlinie" korrigiert werden. Die Entzerrung findet sinnvollerweise in einem Mikroprozessor statt, der in der Regel ohnehin zur Weiterverarbeitung des Meßwertes benötigt wird. Da der Mikroprozessor außerhalb der Regelschleife liegt, darf er mit einer wesentlich kleineren Abtastrate arbeiten als die PLL-Regelschleife. Das zusätzliche Filter dagegen liegt zwar ebenfalls außerhalb der PLL, da es aber vor allem zur Unterdrückung der Mischprodukte des Quantisierungsrauschens dient, muß es mit derselben Abtastfrequenz arbeiten wie die PLL und die 1bit-A/D-Wandler. Gleichzeitig entsteht hierbei ein zur Eingangsfrequenz und der Zeitkonstante dieses Filters näherungsweise proportionaler Mittelwertfehler, der aber im Mikroprozessor ebenfalls einfach kompensiert werden kann.

## 6. Umsetzung des Konzepts in ein ASIC

Die VHDL-Verhaltensbeschreibung wurde schrittweise in eine synthetisierbare Beschreibung auf RTL-Ebene umgesetzt (Bild 8).

- schrittweise Ersatz der VHDL-Beschreibung auf Verhaltensebene durch eine VHDL-Beschreibung auf RTL-Ebene  $\implies$  Entwickler muß Algorithmen auf digitale Schaltungsstruktur abbilden
- Schaltungssynthese und Optimierung  $\implies$  Herstellerspezifische Synthesestrategie des Werkzeugs beachten
- Analyse des Einflusses endlicher Datenwortbreiten und von Gatterverzögerungszeiten  $\implies$  VHDL-VITAL-Library sinnvoll

Bsp.: kritischer Pfad in der PLL-Schleife

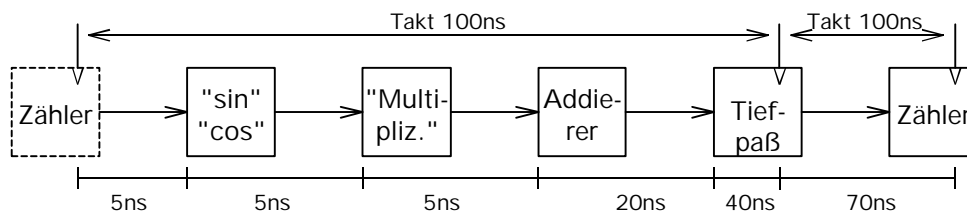


Bild 8: Umsetzung des Konzepts in ein ASIC

Da das Synthesewerkzeug die Synthesergebnisse auch als VHDL-Strukturbeschreibung ausgeben kann, ist mit dem VHDL-Simulator auch eine Simulation unter Einbeziehung bereits synthetisierter Baugruppen möglich. Leider stand für die eingesetzte ASIC-Technologie keine VHDL-Bibliothek nach dem VITAL-Standard, dh. mit vollständigem Timing-Verhalten, zur Verfügung. Die funktionale VHDL-Library wurde jedoch um einfache Timingdaten ergänzt (konstante Verzögerungszeiten unabhängig vom Fan-Out, keine Setup-Hold-Überwachung bei Flipflops usw.), so daß der grundsätzliche Einfluß der Gatterverzögerungen auf die Meßgenauigkeit ebenfalls komfortabel mit dem VHDL-Simulator und der MATLAB-Analyse untersucht werden konnte.

Die eigentliche Timingsimulation wurde mit dem Gate-Level-Simulator Mentor Quicksim II durchgeführt, der neben graphischen Ausgaben auch über LIST-Möglichkeiten verfügt, so daß auch dieser Simulator an MATLAB angekoppelt werden könnte. Zusätzlich wurde selbstverständlich eine statische Timinganalyse durchgeführt. Der kritische Pfad ergibt sich im geschlossenen PLL-Kreis (Bild 8). Da die Gesamtverzögerung im Kreis mit ca. 145ns größer ist als die angestrebte Taktperiode von 100ns, wurde der Kreis als zweistufige Pipeline (1.Stufe: Zähler → Tiefpaß, 2.Stufe Tiefpaß → Zähler) ausgeführt.

Wie nicht anders zu erwarten, hat der Stil der VHDL-Beschreibung bereits bei einfachen Schaltungsteilen einen erheblichen Einfluß auf die Synthetisierbarkeit, den Schaltungsaufwand und die Durchlaufverzögerungszeit (Bild 9). Dabei zeigt sich, daß der Entwickler weiterhin sehr hardwarenah denken muß, obwohl das Werkzeug VHDL viel stärker an Software- statt an Hardwareentwicklung erinnert.

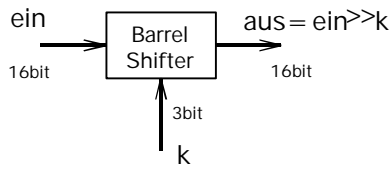
<p>Bsp.: Teil der Filterschaltungen mit umschaltbarer Zeitkonstante</p> 	<p><b>Verhaltensbeschreibung</b> <i>FOR-Schleife mit variablem Endwert</i> FOR i IN ein'LEFT-1-k DOWNT0 0 LOOP ... END LOOP;</p>	<p><i>nicht synthetisier- bar</i></p>
	<p><b>Synthetisierbare Verhaltensbeschreibung</b> <i>IF in FOR-Schleife mit festem Endwert</i> FOR i IN ein'LEFT-1 DOWNT0 0 LOOP IF k = 1 THEN ... ELSIF k = 2 THEN ... ... ENDIF END LOOP;</p>	<p><i>Flächen- bedarf 790%</i></p>
	<p><b>RTL-Beschreibung</b> <i>CASE-Abfrage</i> CASE k IS WHEN '1' =&gt; ... WHEN '2' =&gt; ... ... END CASE;</p>	<p><i>Flächen- bedarf 100%</i></p>

Bild 9: Einfluß des VHDL-Beschreibungsstils

Durch die Möglichkeit des VHDL-Simulators, digitale Signale auch 'analog' graphisch darzustellen, die VHDL-'Backannotation' synthetisierter Netzlisten sowie die Kopplung mit dem Analysesystem MATLAB läßt sich der Einfluß aller Entwurfsentscheidungen auf die Meßgenauigkeit komfortabel überprüfen. Auf diese Weise wurden die Breite der Datenpfade und die Filterzeitkonstanten optimiert.

Insgesamt ergibt sich nach der Optimierung für die Meßschaltung (PLL, Dezimationsfilter und einfaches Businterface) ein Aufwand von etwa 8000 Gattern bei einer befriedigenden Meßgenauigkeit von etwa 7bit je Inkrement bei höchster Auflösung (Bild 10). Durch eine noch höhere Auflösung des Zählers, dh. Einführung von weiteren Zählerstufen mit  $N > 1024$ , könnte die Meßgenauigkeit bei niedrigen Eingangsfrequenzen weiter gesteigert werden.



Die vorgestellten Simulationsergebnisse beruhen auf der Gate Array Bibliothek IMS (Institut für Mikroelektronik Stuttgart) Gate Forest 1.2 $\mu$ . Die Herstellung der Schaltung wird im IMS Gate Forest 0.8 $\mu$ -Prozess erfolgen, sobald dieser verfügbar ist.

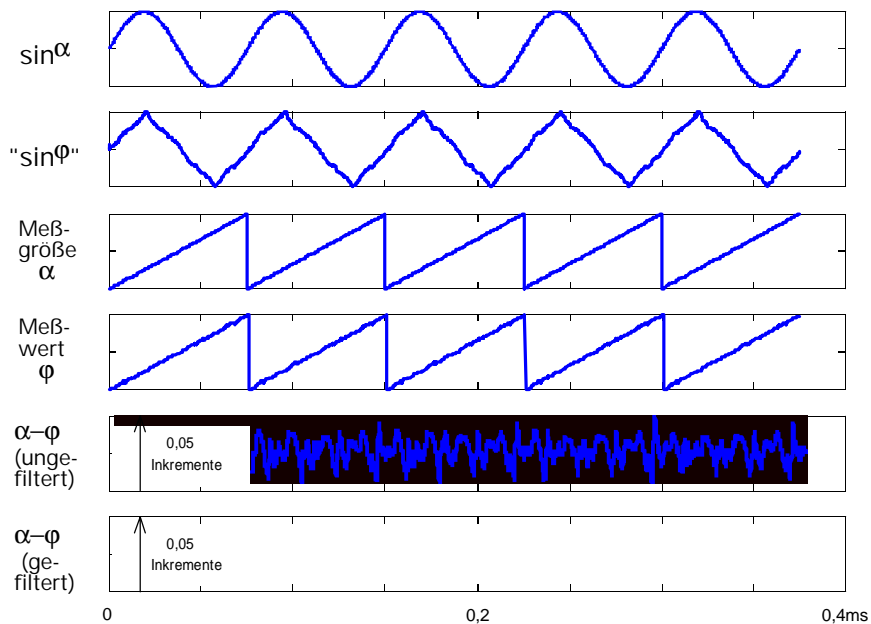


Bild 10: Simulationsergebnisse der Schaltung nach Bild 7 (Meßwert entzerrt)

## 7. Zusammenfassung

In der vorliegenden Arbeit wird ein neues digitales Lage- und Winkelmeßverfahren beschrieben.

Die Haupteigenschaften sind

- Aufbau mit einer digitalen PLL
- Vor-Rückwärts-Zähler mit 'modulierter' Zählrichtung als VCO
- Komparator als PLL-Regler
- Einfaches Inkrementalgeberinterface mit 1-bit-A/D-Wandlung
- Eignung für hohe Eingangsfrequenzen bis über 150kHz
- Grundgenauigkeit ungefähr 5bit je Inkrement, durch Zusatzmaßnahmen 7bit, noch höhere Genauigkeit bei niedrigeren Eingangsfrequenzen möglich.

Entscheidend für den Erfolg derartiger Entwicklungen ist die eingesetzte Entwicklungsmethodik und die zugehörigen Werkzeuge

- Top-Down-Vorgehensweise, aber von Anfang an Berücksichtigung kritischer Realisierungsaspekte, z.B. Quantisierungsprobleme bei A/D-Wandlern oder Aufwand bei Hardwaremultiplizieren
- VHDL-Verhaltensbeschreibung mit Einbeziehung analoger Teilsysteme für Grundsatzuntersuchungen, schrittweiser Ersatz durch Beschreibungen auf RTL-Ebene und automatische Schaltungssynthese
- Kopplung des VHDL-Simulators mit dem Analysesystem MATLAB zur komfortablen Auswertung der Simulationsergebnisse im Zeit- und Frequenzbereich
- Verifikation jeder Entwurfsentscheidung mit Einfluß auf die Meßgenauigkeit.

Dadurch konnte gezeigt werden, daß Systeme mit analogen Teilsystemen und Signalverarbeitungsproblemen selbst mit Analysen im Frequenzbereich auch ohne VHDL-A

(zukünftiger IEEE-Standard zur Beschreibung von Analogschaltungen) bereits heute durchgängig mit 'digitalen' VHDL-Simulatoren und automatischer Synthese der digitalen Teilkomponenten entwickelt werden können.

## **Dank**

Die Verfasser danken Frau A. Volk und den Herren M. Kröner, C. Löffler, A. Meybohm, T. Munz und M. Wieth für die Unterstützung bei den Entwicklungsarbeiten.

## **Literatur**

- [1] Peter Polak: Drehgeber oder Resolver? Elektronik Heft 25, 1995, S.60-64
- [2] Thomas Henke: 'Spurenauswertung' mit Spezial-Chip. Elektronik Heft 1, 1994, S.24-31
- [3] Analog Devices: Motion Control Products: S/D-Converters. Datenbuch, 1994
- [4] DPA P 40 03 453.4, 1990; P 44 01 064, 1994

## **Digitales Winkel- und Lagemeßverfahren** **Kurzbiographie der Verfasser**

### **Prof. Dr.-Ing. Werner Zimmermann (40)**

Fachhochschule fuer Technik Esslingen, Flandernstrasse 101, D-73732 Esslingen  
Tel. (0711) 397-3749 oder (0711) 825589 Fax. (0711)397-3792 oder (0711) 825589  
EMail: zimmerma@rz.fht-esslingen.de

Studium der Elektrotechnik an der Universtität Stuttgart. Promotion am Institut für Leistungselektronik und Anlagentechnik bei Prof. Boehringer auf dem Gebiet der Regelung elektrischer Antriebe, Arbeitsschwerpunkte analoge und digitale Regelsysteme, Einsatz von Mikrorechnern und Signalprozessoren, Leistungselektronik.

Gruppen- und Abteilungsleiter bei der Robert Bosch GmbH, verantwortlich für die Hardware- und Softwareentwicklung von Motormanagementsystemen für Dieselfahrzeuge. Entwicklung von analogen und digitalen ASICs in Zusammenarbeit mit verschiedenen Halbleiterherstellern. Erster Kontakt mit VHDL und automatischer Schaltungssynthese.

Seit 1993 Professor für Regelungstechnik, Digital- und Rechnertechnik im Fachbereich Nachrichtentechnik an der Fachhochschule für Technik Esslingen. VDE- und MPC-Mitglied. Arbeiten und Veröffentlichungen auf dem Gebiet der Realisierung digitaler Regel- und Meßwert-erfassungssysteme, Beschreibung mit VHDL, Schaltungssynthese.

### **Prof. Dr.-Ing. Gerald Kampe (52)**

Fachhochschule fuer Technik Esslingen, Flandernstrasse 101, D-73732 Esslingen  
Tel. (0711) 397-3743 Fax. (0711)397-3763 EMail: kampe@ti.fht-esslingen.de

Studium der Elektrotechnik an der Universtität Stuttgart. Promotion am Institut für Nachrichtenvermittlung und Datenverarbeitung bei Prof. Lotze. Autor eines Fachbuchs zur Simulation technischer Systeme.

Bei der Robert Bosch GmbH Referent in der Zentralen Forschung, Beratung der Produktbereiche zu innovativen Einsatzmöglichkeiten der Mikroelektronik.

Seit 1980 Professor für Informationstechnik, Simulationstechnik und CAD im Fachbereich Technische Informatik an der Fachhochschule für Technik Esslingen. Leiter des Labors für CAD der Mikroelektronik. VDE-Mitglied und Stellvertretender Vorsitzender der Multi-Projekt-Chip-(MPC)-Gruppe, einem Zusammenschluß baden-württembergischer Fachhochschulen, die sich in Forschung und Lehre mit Entwicklung und Einsatz von ASICs befassen